

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>°</sup>  
H03K 19/0175

(11) 공개번호 특1998-074769  
(43) 공개일자 1998년11월05일

(21) 출원번호 특1997-010737  
(22) 출원일자 1997년03월27일  
(71) 출원인 삼성전자 주식회사 윤종용  
경기도 수원시 팔달구 매탄동 416  
(72) 발명자 심재운  
광주광역시 서구 농성동 422-3  
박홍준  
경상북도 포항시 남구 지곡동 교수숙소 9동 802호  
조수인  
서울특별시 서초구 반포동 32-5 서초한양아파트 6동 1005호  
이정배  
경기도 군포시 산본동 수리 한양 아파트 810-501  
(74) 대리인 이건주

심사청구 : 있음

(54) 전류모드 양방향 입출력 버퍼

요약

본 발명은 칩과 칩간에 고속의 데이터 전송을 수행할 수 있는 양방향 입출력 버퍼에 관한 것으로, 이러한 전류모드 양방향 입출력 버퍼는 외부로 출력하고자 하는 출력전압에 응답하여 그에 상응하는 출력전류를 제공하는 출력전류소오스와; 상기 출력전압의 레벨에 따라 그에 상응하는 기준전류를 제공하는 기준전류소오스와; 상기 출력전류와 외부로 부터 입력되는 입력전압에 상응하는 입력전류가 혼합된 신호로 제공되는 하나의 입출력라인과; 상기 기준전류와 상기 혼합된 신호를 비교하여 상기 입력전압만을 복원시켜 출력하는 복원회로부를 포함하는 것을 특징으로 한다.

도표도

도2

발명사

도면의 간단한 설명

- 도 1은 종래의 기술에 따라 구현된 양방향 입출력 버퍼의 개략적인 구성도.  
도 2는 본 발명에 따른 전류 모드 양방향 입출력 버퍼의 개략적인 구성도.  
도 3은 본 발명의 제1실시예에 따라 구현되는 전류 모드 양방향 입출력 버퍼의 구체회로도.  
도 4는 본 발명의 제2실시예에 따라 구현되는 전류 모드 양방향 입출력 버퍼의 구체회로도.  
도 5는 본 발명의 제3실시예에 따라 도 4에 도시된 출력신호들을 통해 복원신호를 제공하기 위한 논리회로를 나타낸 회로도.  
도 6은 본 발명에 따른 전류 모드 양방향 입출력 버퍼의 특성을 나타낸 시뮬레이션 파형도.

발명의 상세한 설명

발명의 목적

발명에 속하는 기술 및 그 분야의 종래기술

본 발명은 두 칩간의 데이터 전송시 하나의 전송선으로 양방향 동시에 데이터 전송이 가능한 양방향 입출력 버퍼에 관한 것으로, 특히, 전류 모드로 동작하는 양방향 입출력 버퍼에 관한 것이다.

최근, 집적회로 공정이 향상됨에 따라 고속동작을 위한 시스템의 성능은 칩과 칩간의 데이터 전송의 속도에 의해 제한되게 되었다. 고속 데이터 통신에 있어서 하나의 케이블로써 양방향으로 데이터 전송이 가능

BEST AVAILABLE COPY

한 양방향 입출력 시스템에 대한 연구가 진행되고 있다. 이것은 사용가능한 핀 수가 제한되어 있는 시스템에서 하나의 핀으로 데이터의 입출력을 동시에 할 수 있다는 장점을 가지고 있으므로 핀당 전송 능력은 두배의 효율을 갖는다. 양방향 입출력버퍼는 입출력 신호가 혼합되어 있는 신호중 외부에서 입력되는 신호만을 복원하게 되는데 복원 회로의 속도가 양방향 버퍼의 속도를 제한시키는 하나의 원인이 된다. 이러한 지연은 전압 모드로 동작하기 때문인데, 그것은 도 1을 통하여 살펴볼 것이다.

도 1은 종래의 양방향 입출력 버퍼의 신호 전송 시스템의 개략적인 구성도이다.

도 1에 도시된 바와 같이, 종래의 양방향 입출력 버퍼의 기본적인 구성은 외부로 보내고자 하는 전압신호 단자 IN1, 출력단자 OUT1, 외부로 부터 입력되는 신호가 복원된 값이 나타나는 수신단자 RE1, 외부로 보내고자 하는 신호와 외부로 부터 입력되는 신호가 혼합된 전압값을 갖는 상기 출력단자 OUT1의 전압값과 비교하여 외부로 부터 입력되는 신호를 복원시키기 위한 기준전압으로서 IN1에 따라 값이 선택되는 기준 전압 Vref1을 발생하는 기준전압발생기(103A)와, 출력버퍼(101A), 전압 비교기(102A)로 이루어진다.

도 1을 참조하여 동작을 보다 상세히 설명하면, 하나의 점에서 외부로 보내고자 하는 전압신호  $\psi$  IN1과 외부로 부터 입력되는 신호  $\psi$  IN2에 따라 출력단자 OUT1과 OUT2의 전압은 두 칩이 각각 출력하고자 하는 전압값의 평균을 나타낸다. 만약 두 칩(100A, 100B)간에 전송하고자 하는 전압 값이 0V와  $V_h$  두 종류만이 있다고 가정하면, 상기 출력단자 OUT1에는  $V_h$ 와  $0.5 \times V_h$  및 0V중의 하나의 값을 갖게 된다. 즉 전압신호 단자 IN1과 IN2가 모두 하이레벨일때  $V_h$ 이고, 상기 전압신호단자 IN1과 IN2중 하나만 하이레벨일때  $0.5 \times V_h$ 이며, 상기 전압신호단자 IN1과 IN2가 모두 로우레벨일때 0V의 값을 갖게 된다. 그러므로, 각 경우에 따라 변화되는 상기 전압신호  $\psi$  IN1의 값에 따라 선택된 Vref와 상기 출력단자 OUT1의 전압을 비교하여 수신단자 RE1를 통해 복원된 전압을 출력하게 된다. 상기 전압신호  $\psi$  IN1과  $\psi$  IN2의 값에 따른 기준전압 Vref1과 Vref2의 선택과, 이때 OUT1과 OUT2의 값으로 부터 복원되는 신호를 표 1에 나타내었다.

[표 1]

$\psi$ IN1	0 (로우)	0 (로우)	1 (하이)	1 (하이)
$\psi$ IN2	0 (로우)	1 (하이)	0 (로우)	1 (하이)
Vref1	$0.25 \times V_h$	$0.25 \times V_h$	$0.75 \times V_h$	$0.75 \times V_h$
Vref2	$0.25 \times V_h$	$0.75 \times V_h$	$0.25 \times V_h$	$0.75 \times V_h$
OUT1 = OUT2	0	$0.5 \times V_h$	$0.5 \times V_h$	$V_h$
복원신호(RE1)	0 (로우)	1 (하이)	0 (로우)	1 (하이)
복원신호(RE2)	0 (로우)	0 (로우)	1 (하이)	1 (하이)

그런데, 상술한 바와 같은 종래의 양방향 입출력 버퍼는 전압 모드로 동작하므로 전압 비교기(102A)와 기준전압 Vref의 선택시 필요한 스위칭 속도의 둔화로 인한 복원 회로의 속도가 양방향 버퍼의 속도를 제한시키는 하나의 원인이 된다.

#### 발명이 이루고자 하는 기술적 과제

전술한 문제점을 해결하기 위한 본 발명의 목적은 전류모드에서 동작 가능한 양방향 입출력 버퍼를 제공함에 있다.

본 발명의 다른 목적은 칩과 칩간에 고속의 데이터 전송을 수행할 수 있는 양방향 입출력 버퍼를 제공함에 있다.

본 발명의 또 다른 목적은 전류소오스를 이용한 양방향 입출력 버퍼를 제공함에 있다.

#### 발명의 구성 및 작용

전술한 목적을 달성하기 위한 본 발명의 기술적 사상에 따르면, 전류모드 양방향 입출력 버퍼는 외부로 출력하고자 하는 출력전압에 응답하여 그에 상응하는 출력전류를 제공하는 출력전류소오스와; 상기 출력전압의 레벨에 따라 그에 상응하는 기준전류를 제공하는 기준전류소오스와; 상기 출력전류와 외부로 부터 입력되는 입력전압에 상응하는 입력전류가 혼합된 신호로 제공되는 하나의 입출력라인과; 상기 기준전류와 상기 혼합된 신호를 비교하여 상기 입력전압만을 복원시켜 출력하는 복원회로를 포함하는 것을 특징으로 한다.

상기 복원회로는 상기 출력전류소오스와 일측단자가 접속된 전류거울과, 상기 전류거울의 일측단자와 동일한 전류값을 가지는 전류거울의 타측단자와 상기 기준전류소오스가 접속되는 전류비교기로 구성될 것을 특징으로 하고, 상기 전류거울은 상기 출력전류소오스와 접지전원사이에 채널이 직렬로 접속되며, 게이트와 드레인이 공통접속되는 제1트랜지스터와; 상기 기준전류소오스의 일측단자와 접지전원사이에 채널이 직렬로 접속되며, 상기 제1트랜지스터의 게이트와 접속되는 게이트를 가지는 제2트랜지스터로 구성될 것을 특징으로 한다.

전술한 기준전류는 상기 출력전압이 하이레벨일 경우에는 상기 출력전류에 0.75를 곱한 값이 되고, 상기 출력전압이 로우레벨일 경우에는 상기 출력전류에 0.25를 곱한 값이 되는 것을 특징으로 한다.

이하 본 발명에 따른 바람직한 실시예를 첨부한 도면을 참조하여 상세히 설명할 것이다. 또한, 도면들중 동일한 구성요소 및 부분들은 가능한한 어느곳에서든지 동일한 부호들을 나타내고 있음을 유의하여야 한다.

도 2는 본 발명에 따른 전류 모드 양방향 입출력 버퍼를 나타낸 개략적인 구성도이다.

도 2를 참조하여 전류 모드 양방향 입출력 버퍼회로의 기본적인 구성을 살펴보면, 출력전류소오스(201A,

202A)와, 기준전류소오스(203A)와, 상기 출력전류소오스(201A, 202A)의 입력단자와 접속되는 전류거울(엔모오스 트랜지스터를 제1과 제2로 이루어진 회로)과, 상기 기준전류소오스(203A)와 상기 트랜지스터 제2가 접속된 라인에 접속되어 이 트랜지스터 제2가 방전시키는 전류량에 따라 복원된 전압값을 제공하는 논리회로(204A)로 구성된다. 그리고 상기 출력전류소오스(201A, 202A)와 상기 엔모오스 트랜지스터 제1의 드레인 사이의 접속노드는 출력단자 OUT로써 두 칩(100A, 100B)간의 데이터 전송라인 L1에 연결된다. 상기 출력전류소오스(201A, 202A)내의 전류소오스(201A)는 전류 I1을 공급하기 위한 것이고, 전류소오스(202A)는 전류 I2를 공급하기 위한 것이다. 그리고, 상기 신호  $\psi$ IN1에 응답하여 스위칭동작을 수행하는 스위치 S1는 상기 전류소오스(201A)의 입력단자와 상기 출력단자 OUT사이에서 접속된다. 한편, 상기 칩(100B)내에도 칩(100A)내의 양방향 입출력버퍼와 동일한 회로가 내장된다.

도 2를 참조하여 동작을 설명하면, 하나의 칩(100A)에서 외부 즉 다른 칩(100B)으로 출력하고자 하는 전압신호  $\psi$ IN1과 외부로 부터 유입되는 전압신호  $\psi$ IN2에 따라 트랜지스터 제1의 채널을 통해 흐르는 전류 I1은 상기 칩(100A)의 출력 전류와 다른 칩(100B)의 출력 전류의 평균값이다. 이러한 출력전류 I1은  $I1+I2$ ,  $0.5 \times I1+I2$ ,  $I2$ 중 하나의 값을 갖게 되는데, 상기 신호  $\psi$ IN1과  $\psi$ IN2가 모두 하이레벨일 경우에는  $I1+I2$ 이고, 상기 신호  $\psi$ IN1과  $\psi$ IN2중 하나만 하이레벨일 경우에는  $0.5 \times I1+I2$ 이며, 상기 신호  $\psi$ IN1과  $\psi$ IN2가 모두 로우레벨일 경우에는 I2의 값만을 갖게 된다. 그러므로 각 경우에 있어서, 상기 신호 IN1의 값에 따라 선택된 Iref1과 상기 출력신호 Iol을 비교하여 외부로 부터 인가된 신호를 복원하게 된다. 상기 신호  $\psi$ IN1과  $\psi$ IN2의 값에 따른 Iref1과 Iref2와 이때 Iol과 Iol2의 값으로 부터 복원되는 신호를 표 2에 나타내었다.

또한, 두 칩(100A, 100B)간의 데이터 전송을 위한 전송선 L1의 특성 임피던스 Zo와 정합을 시키기 위하여 상기 트랜지스터 제1의 트랜스콘덕턴스(gm)의 역수가 임피던스 Zo와 같도록 상기 트랜지스터 제1의 크기를 조정하여 설계하면 고주파에서 발생할 수 있는 반사파를 제거할 수 있다.

[표 2]

$\psi$ IN1	0 (로우)	0 (로우)	1 (하이)	1 (하이)
$\psi$ IN2	0 (로우)	1 (하이)	0 (로우)	1 (하이)
Iref1	$0.25 \times I1+I2$	$0.25 \times I1+I2$	$0.75 \times I1+I2$	$0.75 \times I1+I2$
Iref2	$0.25 \times I1+I2$	$0.75 \times I1+I2$	$0.25 \times I1+I2$	$0.75 \times I1+I2$
Iol = Iol2	I2	$0.5 \times I1+I2$	$0.5 \times I1+I2$	$I1+I2$
복원신호 RE1	0 (로우)	1 (하이)	0 (로우)	1 (하이)
복원신호 RE2	0 (로우)	0 (로우)	1 (하이)	1 (하이)

도 3은 본 발명의 제1실시예에 따른 전류모드 양방향 입출력 버퍼의 구체회로도이다.

도 3에 도시된 바와 같이, 전원전압 VDD와 각기 연결되는 소오스 단자와, 바이어스 단자 Vbias1과 접속되는 게이트 단자를 가지는 p형 모오스 트랜지스터를 T1T4과; 이 p형 모오스 트랜지스터를 T1T4의 드레인 단자와 각기 접속되는 소오스 단자와, 바이어스 단자 Vbias2와 접속되는 게이트를 가지는 p형 모오스 트랜지스터를 T5T8과; 상기 입력단자 IN1과 접속되는 게이트를 가지며, 상기 트랜지스터 T5의 드레인단자와 접지전원사이에서 채널이 적절로 접속되는 n형 모오스 트랜지스터 T10와; 상기 트랜지스터 T5의 드레인단자와 상기 트랜지스터 T6의 드레인 단자의 전류가 동일한 값을 가지도록 하기 위한 전류거울(트랜지스터 T11, T12로 이루어진 회로)이 상기 트랜지스터를 T5, T6과 접지전원사이에서 접속된다. 상기 트랜지스터 T7의 드레인 단자와 연결되는 출력단자 OUT1과 상기 트랜지스터 T8의 드레인 단자의 전류값이 동일한 값을 가지도록 하기 위한 전류거울(트랜지스터 T13, T14로 이루어진 회로)이 상기 트랜지스터를 T13, T14과 접지전원사이에서 접속된다. 상기 출력단자 OUT1에는 상기 트랜지스터 T12의 드레인 단자가 연결된다. 그리고 상기 트랜지스터 T8의 드레인단자와 T4의 드레인 단자가 접속되는 공통노드 제1은 인버터(204A)의 입력단자와 접속된다. 이 공통노드 제1과 전원전압 VDD사이에서 다이오우드 접속된 피모오스 트랜지스터 T9와 연결되고, 이 공통노드 제1과 접지전원 VSS사이에서 다이오우드 접속된 엔모오스 트랜지스터 T15가 연결된다.

도 3을 참조하여 동작을 상세히 설명하면, 트랜지스터를 T1T8은 캐스코드 전류소오스들을 구성하여 전류 I1과 Iref1을 공급한다. 상기 입력단자 IN1을 통해 인가되는 신호  $\psi$ IN1의 값에 따라 전류모드 스위치인 트랜지스터 T10이 동작하고 전류 I1과 T11과 T12에 의해 트랜지스터 T12에 QA(Ampere) 또는 전류 I1가 흐르게 된다. 즉, 만약 신호  $\psi$ IN1이 하이레벨일 경우 트랜지스터 T1와 T5에 흐르는 전류 I1가 상기 신호  $\psi$ IN1에 의해 턴온되는 트랜지스터 T10를 통해 방전되게 되어 트랜지스터 T11과 T12에는 전류가 흐르지 않게 된다. 따라서, 상기 트랜지스터 T2와 T6에 흐르는 전류 I1는 출력단자 OUT쪽으로 공급되므로 외부에서 유입되는 신호에 따라 트랜지스터 T13에는 상기 트랜지스터를 T3, T7를 통해 공급되는 전류 I1에 1/2(상기 신호를  $\psi$ IN1과 IN2중 한 신호만이 하이레벨일 경우) 또는 I(상기 신호를  $\psi$ IN1과 IN2이 모두 하이레벨일 경우)가 더 가해지게 된다. 만약 상기 신호  $\psi$ IN1이 로우레벨일 경우에는 트랜지스터 T1와 T5에 흐르는 전류 I1가 트랜지스터 T11과 T12에 공급되므로 이 트랜지스터를 T11, T12는 턴온되게 되고, 이 로인해 상기 트랜지스터 T2와 T6를 통해 공급되는 전류 I1는 트랜지스터 T12를 통해 방전되게 된다. 따라서 트랜지스터 T2와 T6를 통해 공급되는 전류 I1는 출력단자 OUT 쪽으로 흐르지 않으므로 외부에서 유입되는 신호에 따라 상기 트랜지스터 T13에는 트랜지스터 T3, T7를 통해 공급되는 전류 I 또는 I에 외부로 부터 유입되는 1/2(상기 신호 IN2가 하이레벨일 경우 공급되는 전류)가 더 더해진 전류가 흐르게 된다.

상기 트랜지스터 T13과 T14는 전류거울을 구성하고 있으므로, 채널 폭과 길이의 비에 따라 상기 트랜지스터 T14에는 트랜지스터 T13에 흐르는 전류와 동일한 전류가 흐르려고 하고, 그때 기준전류 소오스를 구성하는 피모오스 트랜지스터를 T4와 T8이 공급하려고 하는 기준전류 Iref1 같은 상기 신호  $\psi$ IN1의 값에 따라 선택되어지는 값으로 정해지므로, 트랜지스터를 T4, T8 및 T14는 전류의 차이를 전압 출력으로 전환시켜주는 전류비교기가 된다. 즉 트랜지스터 T4와 T8를 통해 흐르는 기준전류 Iref1과 트랜지스터 T14를 통해 방전되는 전류값을 비교한 결과가 이 트랜지스터 T14의 드레인 단자에 전압으로 나타나게 되며, 이 결

10-4

출력버퍼.

청구항 4. 제3항에 있어서, 상기 전류비교기는 상기 기준전류소오스의 일측단자와 상기 제2트랜지스터의 드레인이 연결되는 공통단자와 접속되는 인버터로 구성됨을 특징으로 하는 전류모드 양방향 입출력버퍼.

청구항 5. 제3항에 있어서, 고주파의 반사파를 제거하기 위하여, 상기 제1트랜지스터의 크기를 조정함에 있어서 상기 제1트랜지스터의 트랜스컨덕턴스의 역수 값을 상기 입출력라인의 특성 임피던스 값에 맞추는 것을 특징으로 하는 전류모드 양방향 입출력버퍼.

청구항 6. 제1항에 있어서, 상기 기준전류는 상기 출력전압이 하이레벨일 경우에는 상기 출력전류에 0.75를 곱한 값이 되고, 상기 출력전압이 로우레벨일 경우에는 상기 출력전류에 0.25를 곱한 값이 되는 것을 특징으로 하는 전류모드 양방향 입출력버퍼.

청구항 7. 전류모드 양방향 입출력 버퍼에 있어서:

외부로 출력하고자 하는 출력전압에 응답하여 그에 상응하는 출력전류를 제공하는 출력전류소오스와;

상기 출력전압의 레벨에 따라 그에 상응하는 제1,2기준전류를 제공하는 제1,2기준전류소오스와;

상기 출력전류와 외부로 부터 입력되는 입력전압에 상응하는 입력전류가 혼합된 신호로 제공되는 하나의 입출력라인과;

상기 제1,2기준전류와 상기 혼합된 신호를 각기 비교하여 상기 입력전압만을 복원시켜 출력하는 제1,2복원회로부를 포함하는 것을 특징으로 하는 전류모드 양방향 입출력버퍼.

청구항 8. 제7항에 있어서, 상기 출력전압에 응답하여 상기 제1기준전류가 제공되는데 걸리는 지연시간과 동일한 지연시간을 가지는 지연회로를 더 포함하는 것을 특징으로 하는 전류모드 양방향 입출력버퍼.

청구항 9. 제8항에 있어서, 상기 지연된 출력전압에 응답하여 상기 복원된 두 신호중 한 신호만을 선택하는 스위칭회로를 더 포함하는 것을 특징으로 하는 전류모드 양방향 입출력버퍼.

청구항 10. 제9항에 있어서, 상기 스위칭회로는 상기 지연된 출력전압이 하이레벨일 경우에는 상기 제1복원회로부의 출력신호를 선택하고, 상기 지연된 출력전압이 로우레벨일 경우에는 상기 제2복원회로부의 출력신호를 선택하는 것을 특징으로 하는 전류모드 양방향 입출력버퍼.

청구항 11. 제7항에 있어서, 상기 제1기준전류는 하이레벨의 상기 출력전압에 응답하여 상기 출력전류에 0.75를 곱한 값이 되는 것을 특징으로 하는 전류모드 양방향 입출력버퍼.

청구항 12. 제11항에 있어서, 상기 제2기준전류는 로우레벨의 상기 출력전압에 응답하여 상기 출력전류에 0.25를 곱한 값이 되는 것을 특징으로 하는 전류모드 양방향 입출력버퍼.

청구항 13. 제7항에 있어서, 상기 제1복원회로부는

상기 출력전류소오스와 일측단자가 접속된 제1전류거울과, 상기 제1전류거울의 일측단자와 동일한 전류값을 가지는 제1전류거울의 타측단자와 상기 제1기준전류소오스가 접속되는 제1전류비교기로 구성됨을 특징으로 하는 전류모드 양방향 입출력버퍼.

청구항 14. 제13항에 있어서, 상기 제1전류거울은

상기 출력전류소오스와 접지전원사이에 채널이 직렬로 접속되며, 게이트와 드레인이 공통접속되는 제1트랜지스터와; 상기 제1기준전류소오스의 일측단자와 접지전원사이에 채널이 직렬로 접속되며, 상기 제1트랜지스터의 게이트와 접속되는 게이트를 가지는 제2트랜지스터로 구성됨을 특징으로 하는 전류모드 양방향 입출력버퍼.

청구항 15. 제14항에 있어서, 상기 제1전류비교기는 상기 제1기준전류소오스의 일측단자와 상기 제2트랜지스터의 드레인이 연결되는 공통단자와 접속되는 인버터로 구성됨을 특징으로 하는 전류모드 양방향 입출력버퍼.

청구항 16. 제7항에 있어서, 상기 제2복원회로부는

상기 출력전류소오스와 일측단자가 접속된 제2전류거울과, 상기 제2전류거울의 일측단자와 동일한 전류값을 가지는 제2전류거울의 타측단자와 상기 제2기준전류소오스가 접속되는 제2전류비교기로 구성됨을 특징으로 하는 전류모드 양방향 입출력버퍼.

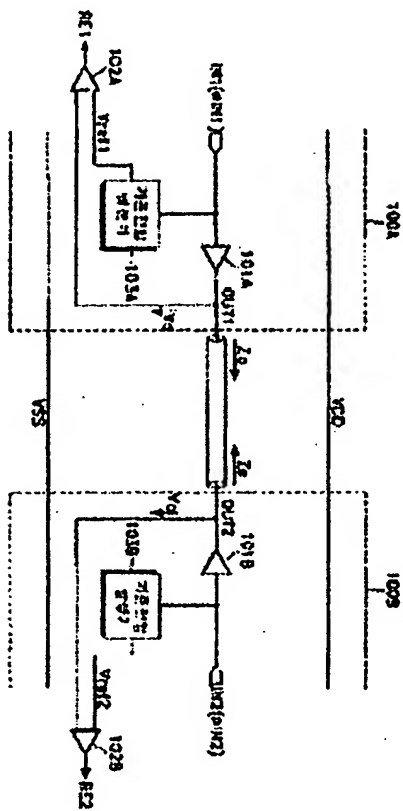
청구항 17. 제16항에 있어서, 상기 제2전류거울은

상기 출력전류소오스와 접지전원사이에 채널이 직렬로 접속되며, 게이트와 드레인이 공통접속되는 제3트랜지스터와; 상기 제2기준전류소오스의 일측단자와 접지전원사이에 채널이 직렬로 접속되며, 상기 제3트랜지스터의 게이트와 접속되는 게이트를 가지는 제4트랜지스터로 구성됨을 특징으로 하는 전류모드 양방향 입출력버퍼.

청구항 18. 제17항에 있어서, 상기 제2전류비교기는 상기 제2기준전류소오스의 일측단자와 상기 제4트랜지스터의 드레인이 연결되는 공통단자와 접속되는 인버터로 구성됨을 특징으로 하는 전류모드 양방향 입출력버퍼.

도면

도면 1



5B2

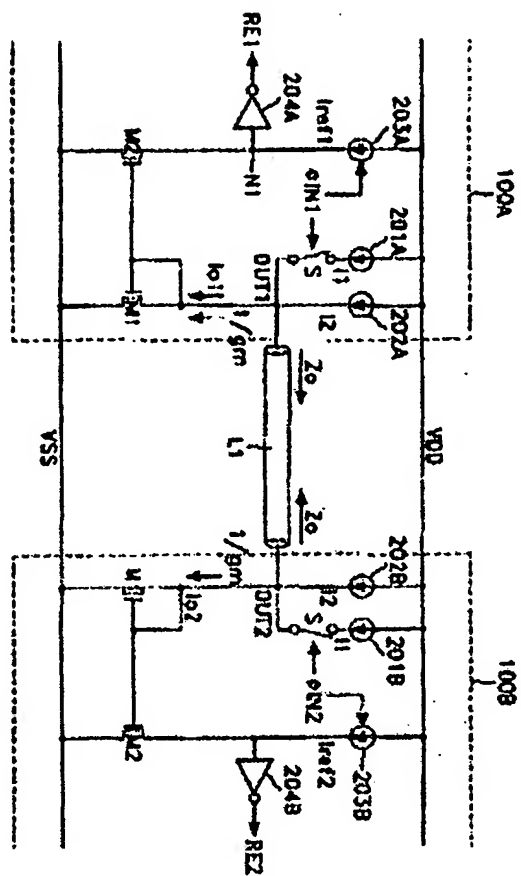


図 10

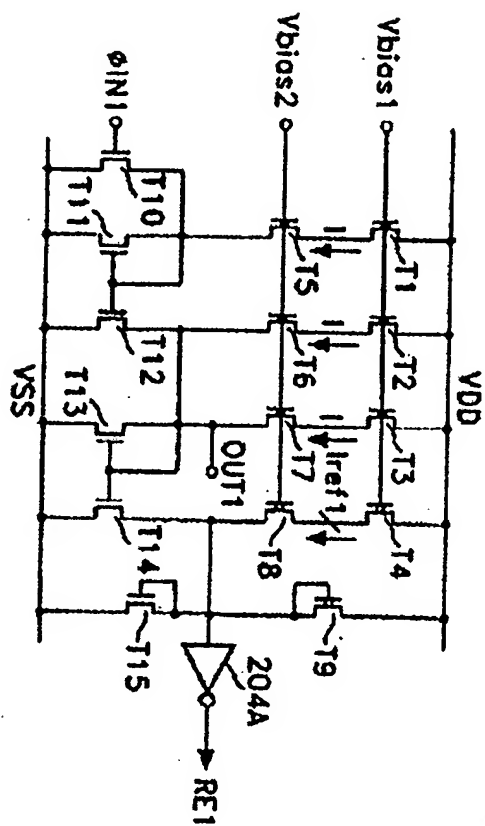




図24

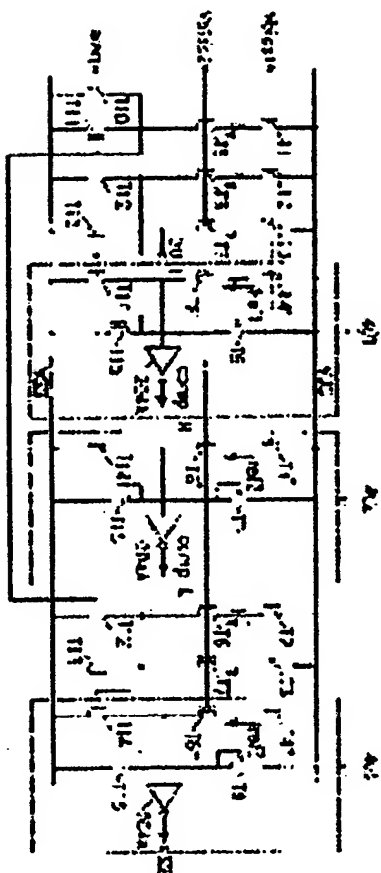
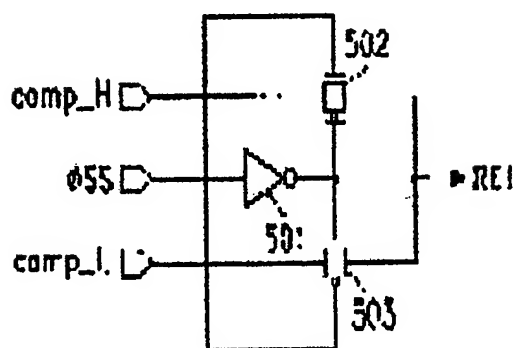
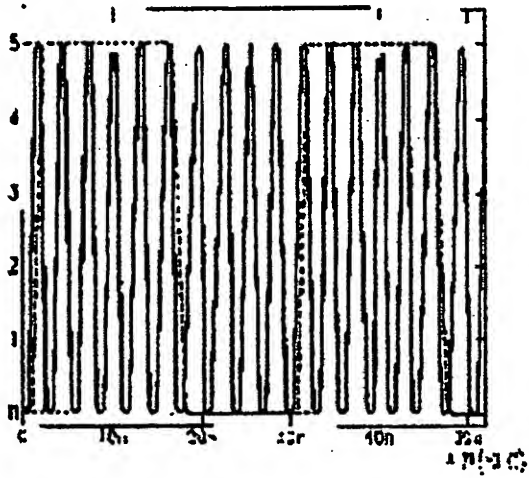


図25



도면

형상



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**